

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6636084号
(P6636084)

(45) 発行日 令和2年1月29日(2020.1.29)

(24) 登録日 令和1年12月27日(2019.12.27)

(51) Int.Cl.	F I	
G09F 9/33 (2006.01)	G09F	9/33
G09G 3/14 (2006.01)	G09G	3/14
G09G 3/20 (2006.01)	G09G	3/20 680G
G09F 9/30 (2006.01)	G09G	3/20 680H
H01L 33/00 (2010.01)	G09G	3/20 624C
請求項の数 17 (全 23 頁) 最終頁に続く		

(21) 出願番号	特願2018-95661 (P2018-95661)	(73) 特許権者	514121240
(22) 出願日	平成30年5月17日(2018.5.17)		ルーメンス カンパニー リミテッド
(62) 分割の表示	特願2017-194601 (P2017-194601) の分割		大韓民国 449-901 キョンギ道 ヨンイン市 キヘン区 ウォンゴメーロ 12
原出願日	平成29年10月4日(2017.10.4)	(74) 代理人	110000051
(65) 公開番号	特開2018-185515 (P2018-185515A)		特許業務法人共生国際特許事務所
(43) 公開日	平成30年11月22日(2018.11.22)	(72) 発明者	シン, ウンソン
審査請求日	平成30年5月17日(2018.5.17)		大韓民国 17086 京畿道 龍仁市 器興区 ウォンゴメーロ 12
(31) 優先権主張番号	10-2017-0052792	(72) 発明者	チョ, ドンヒー
(32) 優先日	平成29年4月25日(2017.4.25)		大韓民国 17086 京畿道 龍仁市 器興区 ウォンゴメーロ 12
(33) 優先権主張国・地域又は機関	韓国 (KR)		

最終頁に続く

(54) 【発明の名称】 マイクロLEDディスプレイ装置

(57) 【特許請求の範囲】

【請求項1】

マイクロLEDディスプレイ装置であって、

第1マイクロLED駆動基板(backplane)と、前記第1マイクロLED駆動基板上に配置され複数のマイクロLEDピクセルが行と列で配列されている第1マイクロLEDパネルとを含む第1タイプのマイクロLEDディスプレイモジュールと、

第2マイクロLED駆動基板(backplane)と、前記第2マイクロLED駆動基板上に配置され複数のマイクロLEDピクセルが行と列で配列されている第2マイクロLEDパネルとを含む第2タイプのマイクロLEDディスプレイモジュールと、

前記第1及び第2マイクロLEDパネルの4辺のうち2辺に隣接する領域に配置される制御回路部と、

前記複数のマイクロLEDピクセルの共通電極として機能し、前記制御回路部の配置に沿って前記第1及び第2マイクロLEDパネルの前記2辺の外郭に形成される第1導電型メタル層と、を有し、

前記第1マイクロLEDパネルの4辺のうち前記2辺を除外した少なくとも1辺と、前記第2マイクロLEDパネルの4辺のうち、前記2辺を除外した少なくとも1辺とは互いに対向して配置されることを特徴とするマイクロLEDディスプレイ装置。

【請求項2】

第1マイクロLED駆動基板は、前記第1マイクロLEDパネルのマイクロLEDピクセルに対応する複数のCMOSセルを備える第1AM(Active Matrix:ア

10

20

クティブマトリクス)回路部と、前記第1AM回路部の外郭に沿って配置される第1制御回路部と、を含むことを特徴とする請求項1に記載のマイクロLEDディスプレイ装置。

【請求項3】

前記第1制御回路部は、前記第1AM回路部の第1辺及び第2辺に隣接する領域に配置されることを特徴とする請求項2に記載のマイクロLEDディスプレイ装置。

【請求項4】

第2マイクロLED駆動基板は、前記第2マイクロLEDパネルのマイクロLEDピクセルに対応する複数のCMOSセルを備える第2AM回路部と、前記第2AM回路部の外郭に沿って配置される第2制御回路部と、を含むことを特徴とする請求項1に記載のマイクロLEDディスプレイ装置。

10

【請求項5】

前記第2制御回路部は、前記第2AM回路部の第1辺及び第2辺に隣接する領域に配置されることを特徴とする請求項4に記載のマイクロLEDディスプレイ装置。

【請求項6】

前記第1及び第2マイクロLEDパネルは、それぞれ前記第1及び第2マイクロLED駆動基板上にフリップチップボンディング(flip chip bonding)によって結合されることを特徴とする請求項1に記載のマイクロLEDディスプレイ装置。

【請求項7】

前記第1及び第2タイプのマイクロLEDディスプレイモジュールは、それぞれ前記第1及び第2マイクロLEDパネルのマイクロLEDピクセルと、前記第1及び第2マイクロLED駆動基板のCMOSセルとを電氣的に接続させる複数のバンプと、をさらに含むことを特徴とする請求項6に記載のマイクロLEDディスプレイ装置。

20

【請求項8】

前記複数のバンプは、前記CMOSセルの各々に形成され、加熱によるバンプの溶融によって、前記CMOSセルの各々と前記CMOSセルの各々に対応するマイクロLEDピクセルとが電氣的に接続されることを特徴とする請求項7に記載のマイクロLEDディスプレイ装置。

【請求項9】

前記第1及び第2マイクロLEDパネルのマイクロLEDピクセルは、基板上に第1導電型半導体層、活性層、及び第2導電型半導体層を順次に成長させた後にエッチングして形成され、

30

前記マイクロLEDピクセルの垂直構造は、第1導電型半導体層、活性層、及び第2導電型半導体層を順次に含み、

前記マイクロLEDピクセルが形成されていない部分は、活性層及び第2導電型半導体層が除去されて第1導電型半導体層が露出されることを特徴とする請求項1に記載のマイクロLEDディスプレイ装置。

【請求項10】

前記第1導電型メタル層は、前記マイクロLEDピクセルが形成されていない部分の第1導電型半導体層上で、前記マイクロLEDピクセルから離隔するように形成されることを特徴とする請求項9に記載のマイクロLEDディスプレイ装置。

40

【請求項11】

前記第1及び第2マイクロLED駆動基板は、それぞれ前記第1導電型メタル層に対応するように形成された共通セルを含み、前記第1導電型メタル層と前記共通セルは、バンプによって電氣的に接続されることを特徴とする請求項1に記載のマイクロLEDディスプレイ装置。

【請求項12】

前記第1導電型はn型であり、前記第2導電型はp型であることを特徴とする請求項9に記載のマイクロLEDディスプレイ装置。

【請求項13】

前記制御回路部は、スキャン駆動部、第1データ駆動部、第2データ駆動部、ガンマ電

50

圧生成部、タイミング制御部、スキャン信号検知パッド部、データ出力検知パッド部、及びインターフェースパッド部の内の少なくとも一つを含むことを特徴とする請求項 1 に記載のマイクロ LED ディスプレイ装置。

【請求項 14】

前記第 1 マイクロ LED パネルと前記第 2 マイクロ LED パネルとの間の離隔距離は、下記に示す一般式 1 によって決定されることを特徴とする請求項 1 に記載のマイクロ LED ディスプレイ装置。

(数 1)

$$d = 40 + 2\alpha + \beta \quad \cdots \text{一般式 1}$$

10

ここで、40 (mm) は第 1 及び第 2 マイクロ LED 駆動基板の端領域の長さ (20 mm) を合算した値であり、 α (mm) は Sawing 誤差であり、 β (mm) はモジュール組み立てマージンである。

【請求項 15】

前記第 1 マイクロ LED パネルと前記第 2 マイクロ LED パネルとの間の連結部分に前記第 1 導電型メタル層が形成されていない場合、前記第 1 マイクロ LED パネルの端ピクセルと前記第 2 マイクロ LED パネルの端ピクセルとの間の間隔がピクセルピッチ (pixel pitch) に対応するように構成されることを特徴とする請求項 1 に記載のマイクロ LED ディスプレイ装置。

【請求項 16】

20

前記第 1 マイクロ LED パネルと前記第 2 マイクロ LED パネルとの間の連結部分に前記第 1 導電型メタル層が形成された場合、前記第 1 導電型メタル層を除いた前記第 1 マイクロ LED パネルの端ピクセルと前記第 2 マイクロ LED パネルの端ピクセルとの間の間隔がピクセルピッチ (pixel pitch) に対応するように構成されることを特徴とする請求項 1 に記載のマイクロ LED ディスプレイ装置。

【請求項 17】

前記第 1 及び第 2 タイプのマイクロ LED ディスプレイモジュールは、水平又は垂直方向に配列されることを特徴とする請求項 1 に記載のマイクロ LED ディスプレイ装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、マイクロ LED ディスプレイ装置に関し、より具体的には、様々な大きさのディスプレイを実現できるマイクロ LED ディスプレイ装置に関する。

【背景技術】

【0002】

発光素子 (LIGHT EMITTING DEVICE、LED) は電気エネルギーを光エネルギーに変換する半導体素子の一種である。発光素子は、蛍光灯、白熱灯等の既存の光源に比べて低消費電力、半永久的な寿命、迅速な応答速度、安全性、環境親和性の長所を有する。

【0003】

40

そこで、既存の光源を発光素子に代替するための多くの研究が行われており、室内外で用いられる各種ランプ、液晶表示装置、電光掲示板、街灯等の照明装置の光源として発光素子を用いる場合が増加している。

【0004】

最近、LED 産業では既存の伝統的な照明の範囲を越えて様々な産業に LED を適用するための新しい試みがなされており、特に低電力駆動フレキシブルディスプレイ、人体モニタリングのための付着型情報表示素子、生体反応及び DNA センシング、光遺伝学的な有効検証のためのバイオ融合分野、導電性繊維と LED 光源が結合した Photonics Textile 分野等において研究が活発に行われている。

【0005】

50

一般にＬＥＤチップを数～数十マイクロレベルに小さく製作すれば、無機物材料の特性上、曲がる時に壊れる短所を克服でき、フレキシブル基板にＬＥＤチップを転写することによって柔軟性（flexibility）を付与して、前述したフレキシブルディスプレイのみならず、ウェアラブル機器及び人体挿入用医療機器まで様々な応用分野に広範囲に適用できる。但し、上述した応用分野にＬＥＤ光源が適用されるためには薄く且つ柔軟なマイクロレベルの光源の開発が必須であり、ＬＥＤに柔軟性を付与するためには、互いに分離した、例えば薄膜ＧａＮ層からなるＬＥＤチップを個別又は所望の配列でフレキシブル基板に転写する工程が求められる。

【０００６】

一方、従来のマイクロＬＥＤ技術は、半導体工程によりＬＥＤピクセル単位を数マイクロ大きさに製作するのに成功した反面、ウェハー（wafer）大きさの限界により、マイクロＬＥＤモジュールの大きさが制限されるという問題点がある。また、約１．２インチ以上のディスプレイを要求する製品の場合、別途の光学モジュールを必要とし、これは、ディスプレイモジュールの大きさを増加させるだけでなく、光効率を低下させる問題点を引き起こす。よって、様々な大きさのディスプレイを実現できるマイクロＬＥＤモジュールを開発する必要がある。

【発明の概要】

【発明が解決しようとする課題】

【０００７】

本発明の目的は、前述した問題及び他の問題を解決することにある。特に第１の目的は、ＣＭＯＳバックプレーン（backplane）の構造を変更して様々な大きさのディスプレイを実現できるマイクロＬＥＤディスプレイ装置を提供することにある。

【０００８】

また他の目的は、マイクロＬＥＤパネルの共通電極の構造を変更して様々な大きさのディスプレイを実現できるマイクロＬＥＤディスプレイ装置を提供することにある。

【課題を解決するための手段】

【０００９】

上記目的を達成するためになされた本発明によるマイクロＬＥＤディスプレイ装置は、マイクロＬＥＤディスプレイ装置であって、第１マイクロＬＥＤ駆動基板（backplane）と、前記第１マイクロＬＥＤ駆動基板上に配置され複数のマイクロＬＥＤピクセルが行と列で配列されている第１マイクロＬＥＤパネルとを含む第１タイプのマイクロＬＥＤディスプレイモジュールと、第２マイクロＬＥＤ駆動基板（backplane）と、前記第２マイクロＬＥＤ駆動基板上に配置され複数のマイクロＬＥＤピクセルが行と列で配列されている第２マイクロＬＥＤパネルとを含む第２タイプのマイクロＬＥＤディスプレイモジュールと、前記第１及び第２マイクロＬＥＤパネルの４辺のうち２辺に隣接する領域に配置される制御回路部と、前記複数のマイクロＬＥＤピクセルの共通電極として機能し、前記制御回路部の配置に沿って前記第１及び第２マイクロＬＥＤパネルの前記２辺の外郭に形成される第１導電型メタル層と、を有し、前記第１マイクロＬＥＤパネルの４辺のうち前記２辺を除外した少なくとも１辺と、前記第２マイクロＬＥＤパネルの４辺のうち、前記２辺を除外した少なくとも１辺とは互に対向して配置されることを特徴とする。

【発明の効果】

【００１０】

本発明の実施形態によるマイクロＬＥＤディスプレイ装置の効果について説明すれば以下のとおりである。

【００１１】

本発明の実施形態のうち少なくとも一つによれば、マイクロＬＥＤディスプレイ装置に用いられるＣＭＯＳバックプレーンの構造を変更して様々な大きさのディスプレイを実現できるという長所がある。

10

20

30

40

50

【 0 0 1 2 】

また、本発明の実施形態のうち少なくとも一つによれば、マイクロLEDディスプレイ装置に用いられるマイクロLEDパネルの共通電極の構造を変更して様々な大きさのディスプレイを実現できるという長所がある。

【 0 0 1 3 】

なお、本発明の実施形態のうち少なくとも一つによれば、第1タイプのマイクロLEDディスプレイ装置と第2タイプのマイクロLEDディスプレイ装置の方向転換及び組み合わせによって様々な大きさのディスプレイを実現できるという長所がある。

【 0 0 1 4 】

但し、本発明の実施形態によるマイクロLEDディスプレイ装置が達成できる効果は以上で言及したものに制限されず、言及していないまた他の効果は下記の記載によって本発明が属する技術分野で通常の知識を有する者に明らかに理解できるものである。

【図面の簡単な説明】

【 0 0 1 5 】

【図1】本発明の一実施形態によるマイクロLEDパネルの断面図である。

【図2】本発明の一実施形態によるマイクロLEDパネルの平面図である。

【図3】本発明の一実施形態によるマイクロLEDパネルの製造方法を説明する図である。

。

【図4】本発明の一実施形態によるマイクロLEDパネルの製造方法を説明する図である。

。

【図5】本発明の一実施形態によるマイクロLEDパネルの製造方法を説明する図である。

。

【図6】本発明の一実施形態によるマイクロLEDパネルの製造方法を説明する図である。

。

【図7】本発明の一実施形態によるマイクロLEDパネルの製造方法を説明する図である。

。

【図8】本発明の他の実施形態によるマイクロLEDパネルの断面図である。

【図9】本発明の他の実施形態によるマイクロLEDパネルの平面図である。

【図10】本発明の他の実施形態によるマイクロLEDパネルの製造方法を説明する図である。

【図11】本発明の他の実施形態によるマイクロLEDパネルの製造方法を説明する図である。

【図12】本発明の他の実施形態によるマイクロLEDパネルの製造方法を説明する図である。

【図13】本発明の他の実施形態によるマイクロLEDパネルの製造方法を説明する図である。

【図14】本発明の他の実施形態によるマイクロLEDパネルの製造方法を説明する図である。

【図15】マイクロLEDディスプレイ装置に用いられる一般的なCMOSバックプレーンの構造を説明する図である。

【図16】本発明の一実施形態によるCMOSバックプレーンの構造を説明する図である。

。

【図17】本発明の他の実施形態によるCMOSバックプレーンの構造を説明する図である。

【図18】本発明の一実施形態によるマイクロLEDディスプレイ装置を説明する図である。

【図19】本発明の他の実施形態によるマイクロLEDディスプレイ装置を説明する図である。

【図20】ディスプレイ大きさを水平方向に2倍拡張したマイクロLEDディスプレイ装置を説明する図である。

10

20

30

40

50

【図 2 1】ディスプレイ大きさを垂直方向に 2 倍拡張したマイクロ LED ディスプレイ装置を説明する図である。

【図 2 2】ディスプレイ大きさを 4 倍に拡張したマイクロ LED ディスプレイ装置を説明する図である。

【発明を実施するための形態】

【0016】

以下、添付図面を参照して本明細書に開示された実施形態を詳細に説明するが、図面符号に関わらず同一又は類似の構成要素には同一の参照番号を付け、これに対する重複する説明は省略することにする。以下の説明で用いられる構成要素に対する接尾辞「モジュール」及び「部」は明細書の作成の容易さだけが考慮されて付与又は使用されるものであって、そのもので互いに区別される意味又は役割を有するものではない。即ち、本発明で用いられる「部」という用語はソフトウェア、FPGA、又はASICなどのハードウェア構成要素を意味し、「部」はある役割を行う。しかし、「部」はソフトウェア又はハードウェアに限定される構成要素ではない。「部」はアドレッシングできる格納媒体にあるように構成されてもよく、一つ又はそれ以上のプロセッサを再生させるように構成されてもよい。よって、一例として、「部」はソフトウェア構成要素、オブジェクト指向ソフトウェア構成要素、クラス構成要素及びタスク構成要素のような構成要素と、プロセス、関数、属性、プロシージャ、サブルーチン、プログラムコードのセグメント、ドライバ、ファームウェア、マイクロコード、回路、データ、データベース、データ構造、テーブル、アレイ、及び変数を含む。構成要素としての「部」により提供される機能は結合されて、さらに小さい数の構成要素としての「部」を形成するか、又は追加の構成要素としての「部」にさらに分割され得る。

【0017】

また、本発明による実施形態を説明する際、各層（膜）、領域、パターン又は構造物が、基板、各層（膜）、領域、パッド又はパターンの「上方／上（above、over）」に又は「下方／下（below、under）」に形成されると記載される場合、「上方／上」と「下方／下」は「直接（directly）」又は「他の層を介在して（indirectly）」形成されることを全て含む。また、各層の上部／上又は下部／下に対する基準は図面を基準に説明する。図面での各層の厚さや大きさは説明の便宜及び明確性のために誇張又は省略されるか又は概略的に図示されている。また、各構成要素の図上の大きさは実際の大きさを全面的に反映するものではない。

【0018】

なお、本明細書に開示された実施形態を説明する際、関連の公知技術に関する具体的な説明が本明細書に開示された実施形態の要旨を不要に濁す恐れがあると判断される場合には、その詳細な説明は省略する。また、添付された図面は本明細書に開示された実施形態を容易に理解できるようにするためのものに過ぎず、添付された図面によって本明細書に開示された技術的思想が制限されるものではなく、本発明の思想及び技術範囲に含まれる全ての変更、均等物乃至代替物を含むものとして理解しなければならない。

【0019】

本発明は、CMOSバックプレーン（backplane）の構造を変更して様々な大きさのディスプレイを実現できるマイクロLEDディスプレイ装置及びその製造方法を提案する。以下、本実施形態に係るマイクロLEDディスプレイ装置においては、複数のマイクロLEDピクセルを含むマイクロLEDパネルと、前記複数のマイクロLEDピクセルを独立に駆動するための複数のCMOSセルを含むCMOSバックプレーンとがバンプ（bump）を介してフリップチップボンディングされて形成される。

【0020】

以下では、本発明の様々な実施形態について図面を参照して詳細に説明する。

図 1 は本発明の一実施形態によるマイクロLEDパネル 100 の断面図であり、図 2 は本発明の一実施形態によるマイクロLEDパネル 100 の平面図である。

【0021】

図1及び図2を参照すれば、本発明に係るマイクロLEDパネル（又はマイクロLEDアレイ）100は、ウェハー上に積層された複数の発光素子（即ち、複数のマイクロLEDピクセル）がマトリクス状に配列されたアレイ（array）構造を有するLEDパネルであって、画像表示機器の画像信号に対応する光（light）を出力する機能を果たす。この時、前記複数のマイクロLEDピクセルはウェハー上に行と列に配列され、各々のピクセルは数 μm の大きさを有する。

【0022】

このようなマイクロLEDパネル100は、成長基板110、成長基板110上の第1導電型半導体層120、第1導電型半導体層120上の活性層130、活性層130上の第2導電型半導体層140、第1導電型半導体層120上の第1導電型メタル層160、第2導電型半導体層140上の第2導電型メタル層150、及びパッシベーション層170を含む。

10

【0023】

成長基板110は、透光性を有する材質、例えば、サファイア（ Al_2O_3 ）、単結晶基板、SiC、GaAs、GaN、ZnO、AlN、Si、GaP、InP、Geのうち少なくとも一つからなるが、これらに限定されない。

【0024】

第1導電型半導体層120は、n型ドーパントがドーブされたIII族-V族元素の化合物半導体を含み得る。このような第1導電型半導体層120は例えば、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ （ $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x+y < 1$ ）の組成式を有する半導体材料、具体的には、InAlGaN、GaN、AlGaN、AlInN、InGaN、AlN、InN等から選択され、Si、Ge、Sn等のn型ドーパントがドーブされる。

20

【0025】

活性層130は、第1導電型半導体層120を介して注入される電子（又は正孔）と第2導電型半導体層140を介して注入される正孔（又は電子）が結合して、活性層130の形成物質に応じたエネルギーバンド（Energy Band）のバンドギャップ（Band Gap）差によって光を放出する層である。活性層130は単一量子井戸構造、多重量子井戸構造（MQW：Multi Quantum Well）、量子ドット構造又は量子線構造の何れか一つにより形成できるが、これらに限定されない。活性層130は、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ （ $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x+y < 1$ ）の組成式を有する半導体材料からなり得る。活性層130が多重量子井戸構造により形成された場合、活性層130は複数の井戸層と複数の障壁層が交互に積層されて形成される。

30

【0026】

第2導電型半導体層140は、p型ドーパントがドーブされたIII族-V族元素の化合物半導体を含み得る。このような第2導電型半導体層140は例えば、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ （ $0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x+y < 1$ ）の組成式を有する半導体材料、具体的には、InAlGaN、GaN、AlGaN、InGaN、AlInN、AlN、InN等から選択され、Mg、Zn、Ca、Sr、Ba等のp型ドーパントがドーブされる。

【0027】

第2導電型半導体層140上には第2導電型メタル層（即ち、p電極）150が形成され、第1導電型半導体層120上には第1導電型メタル層（即ち、n電極）160が形成される。

40

【0028】

例えば、図2に示すように、第2導電型メタル層150は、各々のマイクロLEDピクセルに対応する第2導電型半導体層140上に配置され、CMOSバックプレーンに備えられた各々のCMOSセルとバンプ（bump）を介して電氣的に接続される。

【0029】

第1導電型メタル層160は、第1導電型半導体層120のメサエッチングされた領域上に配置され、前記複数のマイクロLEDピクセルから一定距離だけ離隔して形成される

50

。第1導電型メタル層160は、第1導電型半導体層120上でマイクロLEDパネル100の外郭に沿って所定の幅を有して形成される。第1導電型メタル層160の高さは、前記複数のマイクロLEDピクセルの高さと概して同一に形成される。第1導電型メタル層160は、パンプによってCMOSバックプレーンの共通セルと電氣的に接続され、マイクロLEDピクセルの共通電極として機能する。例えば、第1導電型メタル層160は共通接地である。

【0030】

このような第1導電型メタル層160及び第2導電型メタル層150は、マイクロLEDパネル100に形成された複数のマイクロLEDピクセルに電源を提供する。

【0031】

第1導電型半導体層120、活性層130、第2導電型半導体層140、第1導電型メタル層160及び第2導電型メタル層150の少なくとも一側面にはパッシベーション層170が形成される。パッシベーション層170は、発光構造物120、130、140を電氣的に保護するために形成され、例えば、 SiO_2 、 SiO_x 、 SiO_xN_y 、 Si_3N_4 、 Al_2O_3 からなるが、これらに限定されない。

【0032】

マイクロLEDパネル100に形成された発光素子(即ち、マイクロLEDピクセル)は、化合物半導体の組成比に応じて互いに異なる波長の光を放射する。マイクロLEDパネル100に含まれた発光素子が赤色LED素子の場合、マイクロLEDパネル100は赤色LEDパネルとなる。マイクロLEDパネル100に含まれた発光素子が緑色LED素子の場合、マイクロLEDパネル100は緑色LEDパネルとなる。マイクロLEDパネル100に含まれた発光素子が青色LED素子の場合、マイクロLEDパネル100は青色LEDパネルとなる。一方、マイクロLEDパネル100は、特定波長を出力する複数の発光素子にR/G/B蛍光体又はR/G/Bカラーフィルタ等を結合してフルカラー(full color)を実現できる。

【0033】

マイクロLEDパネル100に形成された複数のマイクロLEDピクセルとCMOSバックプレーン上に形成された複数のCMOSセルが一对一に対応して連結されるようにパンプを用いてフリップチップボンディング(flip chip bonding)することによってマイクロLEDディスプレイ装置が構成される。この時、マイクロLEDパネル100に形成された第1導電型メタル層160及び第2導電型メタル層150は、前記パンプを介してCMOSバックプレーンと電氣的に接続される。

【0034】

図3～図7は、本発明の一実施形態によるマイクロLEDパネルの製造方法を説明する図である。

図3を参照すれば、成長基板110上に第1導電型半導体層120、活性層130及び第2導電型半導体層140を順次成長させて発光構造物120、130、140を形成することができる。

【0035】

成長基板110は、透光性を有する材質、例えば、サファイア(Al_2O_3)、単結晶基板、 SiC 、 GaAs 、 GaN 、 ZnO 、 AlN 、 Si 、 GaP 、 InP 、 Ge のうち少なくとも一つからなり得るが、これらに限定されない。

【0036】

第1導電型半導体層120は、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x+y < 1$)の組成式を有する半導体材料、例えば、 InAlGaN 、 GaN 、 AlGaN 、 AlInN 、 InGaN 、 AlN 、 InN 等から選択され、 Si 、 Ge 、 Sn 等のn型ドーパントがドーパされる。このような第1導電型半導体層120は、トリメチルガリウム(TMGa)ガス、アンモニア(NH_3)ガス、シラン(SiH_4)ガスを水素ガスと共にチャンバー(chamber)に注入して形成される。成長基板110と第1導電型半導体層120との間に非ドーパの半導体層(図示せず)及び/又はバッファ

10

20

30

40

50

層（図示せず）をさらに含み得るが、特にこれに限定されない。

【0037】

活性層130は、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x+y < 1$)の組成式を有する半導体材料からなることができる。このような活性層130は、トリメチルガリウム (TMGa) ガス、トリメチルインジウム (TMIn) ガス、アンモニア (NH_3) ガスを水素ガスと共にチャンバーに注入して形成されることができる。

【0038】

第2導電型半導体層140は、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 < x < 1$ 、 $0 < y < 1$ 、 $0 < x+y < 1$)の組成式を有する半導体材料、例えば、 InAlGa_2N 、 Ga_2N 、 AlGa_2N 、 InGa_2N 、 AlIn_2N 、 Al_2N 、 In_2N 等から選択され、Mg、Zn、Ca、Sr、Ba等のp型ドーパントがドーピングされる。このような第2導電型半導体層140は例えば、トリメチルガリウム (TMGa) ガス、アンモニア (NH_3) ガス、ビス(エチルシクロペンタジエニル)マグネシウム ($\text{bis}(\text{ethylcyclopentadienyl})\text{magnesium}$)、 $\{(\text{EtCp})_2\text{Mg}\}$ 、又は $\{\text{Mg}(\text{C}_2\text{H}_5\text{C}_5\text{H}_4)_2\}$ ガスを水素ガスと共にチャンバーに注入して形成される。

【0039】

図4を参照すれば、発光構造物120、130、140に対して単位ピクセル領域に応じてアイソレーションエッチング (isolation etching) 工程を行って複数の発光素子を形成する。例えば、前記アイソレーションエッチングは、ICP (Inductively Coupled Plasma) のような乾式エッチング方法により実施される。このようなアイソレーションエッチング工程によって第1導電型半導体層120の一つの上面が露出される。この時、共通電極 (即ち、n電極) 160を形成するために、第1導電型半導体層120の周縁領域は、所定の幅を有するようにエッチングされる。

【0040】

図5及び図6を参照すれば、第2導電型半導体層140の一つの上面に第2導電型半導体層140の一部を被覆する第2導電型メタル層150を形成し、露出した周縁領域の第1導電型半導体層120の一つの上面に第1導電型メタル層160を形成する。

この時、第1及び第2導電型メタル層160、150は蒸着工程又はメッキ工程によって形成されるが、特にこれに限定されない。

【0041】

図7を参照すれば、成長基板110、発光構造物120、130、140、第1導電型メタル層160及び第2導電型メタル層150上にパッシベーション層170を形成し、第1及び第2導電型メタル層150、160の一つの上面が外部に露出するようにパッシベーション層170を選択的に除去する。その後、上述した工程により形成されたマイクロLEDパネル100をCMOSバックプレーン (図示せず) にフリップチップボンディングしてマイクロLEDディスプレイ装置を形成する。

【0042】

図8は本発明の他の実施形態によるマイクロLEDパネルの断面図であり、図9は本発明の他の実施形態によるマイクロLEDパネルの平面図である。

図8及び図9を参照すれば、本発明に係るマイクロLEDパネル200は、ウェハー上に積層された複数の発光素子 (即ち、複数のマイクロLEDピクセル) がマトリクス状に配列されたアレイ (array) 構造を有するLEDパネルであって、画像表示機器の画像信号に対応する光 (light) を出力する機能を果たす。

【0043】

このようなマイクロLEDパネル200は、成長基板210、成長基板210上の第1導電型半導体層220、第1導電型半導体層220上の活性層230、活性層230上の第2導電型半導体層240、第1導電型半導体層220上の第1導電型メタル層260、第2導電型半導体層240上の第2導電型メタル層250、及びパッシベーション層270を含む。

【0044】

本実施形態において、成長基板210、第1導電型半導体層220、活性層230、第2導電型半導体層240、第1及び第2導電型メタル層250、260、パッシベーション層270は、図1の成長基板110、第1導電型半導体層120、活性層130、第2導電型半導体層140、第1及び第2導電型メタル層150、160、パッシベーション層170と類似するため、それに関する詳しい説明は省略し、その差異点を中心に説明することにする。

【0045】

第2導電型半導体層240上には第2導電型メタル層（即ち、p電極）250が形成され、第1導電型半導体層220上には第1導電型メタル層（即ち、n電極）260が形成される。

10

【0046】

例えば、図9に示すように、第2導電型メタル層250は、各々のマイクロLEDピクセルに対応する第2導電型半導体層240上に配置され、CMOSバックプレーンに備えられた各々のCMOSセルとバンプ（bump）を介して電氣的に接続される。

【0047】

第1導電型メタル層260は、マイクロLEDパネル200の上面で左側外郭領域及び下部外郭領域に沿って所定の幅を有するように形成され、マイクロLEDピクセルの共通電極として機能する。一方、他の実施形態（図示しない）として、第1導電型メタル層260は、マイクロLEDパネル200の上面で右側外郭領域及び下部外郭領域に沿って所定の幅を有するように形成され、マイクロLEDピクセルの共通電極として機能する。このような第1及び第2導電型メタル層250、260は、マイクロLEDパネル200に形成された複数のマイクロLEDピクセルに電源を提供する。

20

【0048】

第1導電型半導体層220、活性層230、第2導電型半導体層240、第1導電型メタル層260及び第2導電型メタル層250の少なくとも一側面にはパッシベーション層270が形成される。パッシベーション層270は、発光構造物220、230、240を電氣的に保護するために形成され、例えば、 SiO_2 、 SiO_x 、 SiO_xN_y 、 Si_3N_4 、 Al_2O_3 からなるが、これらに限定されない。

【0049】

マイクロLEDパネル200に形成された複数のマイクロLEDピクセルとCMOSバックプレーン上に形成された複数のCMOSセルが一对一に対応して連結されるようにバンプを用いてフリップチップボンディング（flip chip bonding）することによってマイクロLEDディスプレイ装置が構成される。この時、マイクロLEDパネル200に形成された第1導電型メタル層260及び第2導電型メタル層250は、前記バンプを介してCMOSバックプレーンと電氣的に接続される。

30

【0050】

図10～図14は、本発明の上記他の実施形態に係るマイクロLEDパネルの製造方法を説明する図である。以下、本実施形態において、前記マイクロLEDパネル製造方法は図3～図7のマイクロLEDパネル製造方法と類似するため、それに関する詳しい説明は省略し、その差異点を中心に説明することにする。

40

【0051】

図10を参照すれば、成長基板210上に第1導電型半導体層220、活性層230及び第2導電型半導体層240を順次成長させて発光構造物220、230、240を形成する。

【0052】

図11を参照すれば、発光構造物220、230、240に対して単位ピクセル領域に応じてアイソレーションエッチング（isolation etching）工程を行って複数の発光素子（即ち、複数のマイクロLEDピクセル）を形成する。例えば、前記アイソレーションエッチングは、ICP（Inductively Coupled Pl

50

a s m a) のような乾式エッチング方法により実施される。このようなアイソレーションエッチング工程によって第 1 導電型半導体層 2 2 0 の一つの上面が露出される。

【 0 0 5 3 】

図 1 2 及び図 1 3 を参照すれば、第 2 導電型半導体層 2 4 0 の一つの上面に第 2 導電型半導体層 2 4 0 の一部を被覆する第 2 導電型メタル層 2 5 0 を形成し、メサエッチングされた第 1 導電型半導体層 2 2 0 の一つの上面に第 1 導電型メタル層 2 6 0 を形成することができる。図 5 及び図 6 の製造工程とは異なり、第 1 導電型メタル層 2 6 0 は第 1 導電型半導体層 2 2 0 の周縁領域の一部の領域にのみ形成される。この時、第 1 及び第 2 導電型メタル層 2 6 0、2 5 0 は蒸着工程又はメッキ工程によって形成されるが、特にこれに限定されない。

10

【 0 0 5 4 】

図 1 4 を参照すれば、成長基板 2 1 0、発光構造物 2 2 0、2 3 0、2 4 0、第 1 導電型メタル層 2 6 0 及び第 2 導電型メタル層 2 5 0 上にパッシベーション層 2 7 0 を形成し、第 1 及び第 2 導電型メタル層 2 6 0、2 5 0 の一つの上面が外部に露出するようにパッシベーション層 2 7 0 を選択的に除去する。その後、上述した工程により形成されたマイクロ LED パネル 2 0 0 を CMOS バックプレーン (図示せず) にフリップチップボンディングしてマイクロ LED ディスプレイ装置を形成することができる。

【 0 0 5 5 】

図 1 5 は、マイクロ LED ディスプレイ装置に用いられる一般的な CMOS バックプレーンの構造を説明する図である。

20

図 1 5 を参照すれば、一般的な CMOS バックプレーン (又は、マイクロ LED 駆動基板) 4 0 0 は、マイクロ LED パネル 1 0 0 と対向するように配置され、入力画像信号に対応してマイクロ LED パネル 1 0 0 に備えられる複数のマイクロ LED ピクセルを駆動する機能を果たす。

【 0 0 5 6 】

CMOS バックプレーン 4 0 0 は、複数のマイクロ LED ピクセルを個別的に駆動させるための複数の CMOS セルを備えるアクティブマトリクス (Active Matrix) 回路部 4 0 5 と、アクティブマトリクス回路部 4 0 5 の外郭に配置される制御回路部 4 1 0 ~ 4 8 0 とを含むことができる。

【 0 0 5 7 】

30

アクティブマトリクス回路部 4 0 5 に備えられる複数の CMOS セルの各々は、バンプを介して対応するマイクロ LED ピクセルに電氣的に接続される。よって、複数の CMOS セルの各々は、例えば、2 個のトランジスタと 1 個のキャパシタを含むピクセル駆動回路であり、バンプを用いて CMOS バックプレーン 4 0 0 にマイクロ LED パネル 1 0 0 をフリップチップボンディングする場合、等価回路上、前記ピクセル駆動回路のトランジスタのドレーン端子と共通接地端子との間に個々のマイクロ LED ピクセルが配置される形態に構成される。

【 0 0 5 8 】

CMOS バックプレーン 4 0 0 はマイクロ LED パネル 1 0 0 の第 1 導電型メタル層 1 6 0 と対応する位置に形成された共通セル (図示せず) を含み、第 1 導電型メタル層 1 6 0 と共通セルはバンプを介して電氣的に接続される。

40

【 0 0 5 9 】

制御回路部は、スキャン駆動部 4 1 0、第 1 データ駆動部 4 2 0、第 2 データ駆動部 4 3 0、ガンマ電圧生成部 4 4 0、タイミング制御部 4 5 0、スキャン信号検知パッド部 4 6 0、データ出力検知パッド部 4 7 0 及び入力パッド部 4 8 0 を含む。

【 0 0 6 0 】

制御回路部を構成する回路 4 1 0 ~ 4 8 0 は、矩形に配置されたアクティブマトリクス回路部 4 0 5 の 4 辺 (即ち、上 / 下 / 左 / 右辺) に隣接した領域に配置される。一例として、図面に示すように、スキャン駆動部 4 1 0 はアクティブマトリクス回路部 4 0 5 の左方の領域に配置され、スキャン信号検知パッド部 4 6 0 はアクティブマトリクス回路部 4

50

05の右方の領域に配置される。また、データ出力検知パッド部470はアクティブマトリクス回路部405の上方の領域に配置され、第1及び第2データ駆動部420、430、ガンマ電圧生成部440、タイミング制御部450及び入力パッド部480はアクティブマトリクス回路部405の下方の領域に配置される。

【0061】

スキャン駆動部410は、タイミング制御部450から供給されたゲートタイミング制御信号(GDC)にตอบสนองして、複数のマイクロLEDピクセルに対応するトランジスタが動作可能のようにゲート駆動電圧のシングレベルを発生させる信号をシフトさせつつスキャン信号を順次生成する。スキャン駆動部410は、スキャンラインを介して生成されたスキャン信号をマイクロLEDパネル100に含まれた複数のマイクロLEDピクセル

10

【0062】

第1及び第2データ駆動部420、430は、タイミング制御部450から供給されたデータタイミング制御信号(DDC)にตอบสนองして、タイミング制御部450から供給されるデジタル形態のデータ信号をサンプリングしラッチして並列データ体系のデータに変換する。第1及び第2データ駆動部420、430は、並列データ体系のデータに変換する時、デジタル形態のデータ信号をガンマ基準電圧に変換してアナログ形態のデータ信号を出力する。第1及び第2データ駆動部420、430は、データラインを介して前記アナログ形態のデータ信号をマイクロLEDパネル100に含まれた複数のマイクロLEDピクセルに供給する。ここで、第1データ駆動部420はデータ信号をマイクロLEDパネル100の左側領域に存在するマイクロLEDピクセルに供給し、第2データ駆動部430はデータ信号をマイクロLEDパネル100の右側領域に存在するマイクロLEDピクセルに供給する。

20

【0063】

ガンマ電圧生成部440は、ガンマ(gamma)基準電圧を生成して第1及び第2データ駆動部420、430に提供する。

【0064】

タイミング制御部450は、外部から垂直同期信号(Vsync)、水平同期信号(Hsync)、データイネーブル信号(Data Enable、DE)、クロック信号(CLK)、データ信号(DATA)等の供給を受ける。タイミング制御部450は、垂直同期信号(Vsync)、水平同期信号(Hsync)、データイネーブル信号(Data Enable、DE)、クロック信号(CLK)等のタイミング信号等を用いて、第1及び第2データ駆動部420、430とスキャン駆動部410の動作タイミングを制御する。

30

【0065】

タイミング制御部450から生成される制御信号には、スキャン駆動部410の動作タイミングを制御するためのゲートタイミング制御信号(GDC)と第1及び第2データ駆動部420、430の動作タイミングを制御するためのデータタイミング制御信号(DDC)が含まれる。

【0066】

ゲートタイミング制御信号(GDC)には、ゲートスタートパルス(Gate Start Pulse、GSP)、ゲートシフトクロック(Gate Shift Clock、GSC)、ゲート出力イネーブル信号(Gate Output Enable、GOE)が含まれる。データタイミング制御信号(DDC)には、ソーススタートパルス(Source Start Pulse、SSP)、ソースサンプリングクロック(Source Sampling Clock、SSC)、ソース出力イネーブル信号(Source Output Enable、SOE)が含まれる。

40

【0067】

スキャン信号検知パッド部460は、スキャン駆動部410から出力されるスキャン信号を検知するためのパッド(pads)を含む。データ出力検知パッド部470は、第1

50

及び第2データ駆動部420、430から出力されるデータ信号を多重化(multiplex)し、それを検知するためのパッド(pads)を含む。

【0068】

入力パッド部480は、外部信号を入力するためのパッドであって、RGB入力パッド部、LVDS(Low voltage differential signaling)入力パッド部、及びSPI(Serial Peripheral Interface)入力パッド部を含む。

【0069】

CMOSバックプレーン400を介したマイクロLEDパネル100の制御動作を簡単に見てみれば、スキャン駆動部410は、イメージデータの提供時、全てのスキャンラインをスキャンし、そのうちの何れか一つ以上にH(high)信号を入力してターンオン(turn on)させる。一方、第1及び第2データ駆動部420、430からイメージデータを複数のデータラインに供給すると、前記スキャンラインにおいてターンオン状態に置かれたマイクロLEDピクセルのみが前記イメージデータを受信し、該イメージデータがマイクロLEDパネル100を介して表示される。このような方式で全てのスキャンラインが順次スキャンされて一つのフレーム(frame)に対するディスプレイが完了する。

【0070】

このようなCMOSバックプレーン400上にマイクロLEDパネル100をフリップチップボンディング(flip chip bonding)してマイクロLEDディスプレイ装置を形成する。

【0071】

図16は、本発明の一実施形態によるCMOSバックプレーンの構造を説明する図である。

図16を参照すれば、本発明の一実施形態によるCMOSバックプレーン(又は第1タイプのCMOSバックプレーン)500は、マイクロLEDパネル200と互いに対向するように配置され、入力画像信号に対応してマイクロLEDパネル200に備えられる複数のマイクロLEDピクセルを駆動する機能を果たす。

【0072】

CMOSバックプレーン500は、複数のマイクロLEDピクセルを個別的に駆動させるための複数のCMOSセルを備えるアクティブマトリクス回路部505と、アクティブマトリクス回路部505の外郭に配置される制御回路部510~580とを含む。

【0073】

アクティブマトリクス回路部505に備えられる複数のCMOSセルの各々は、パンプを介して対応するマイクロLEDピクセルに電氣的に接続される。CMOSバックプレーン500はマイクロLEDパネル200の第1導電型メタル層260と対応する位置に形成された共通セル(図示せず)を含み、第1導電型メタル層260と共通セルとはパンプを介して電氣的に接続される。

【0074】

制御回路部は、スキャン駆動部510、第1データ駆動部520、第2データ駆動部530、ガンマ電圧生成部540、タイミング制御部550、スキャン信号検知パッド部560、データ出力検知パッド部570及び入力パッド部580等を含む。

【0075】

本実施形態において、前記制御回路部を構成するスキャン駆動部510、第1データ駆動部520、第2データ駆動部530、ガンマ電圧生成部540、タイミング制御部550、スキャン信号検知パッド部560、データ出力検知パッド部570及び入力パッド部580は各々、上述した図15のスキャン駆動部410、第1データ駆動部420、第2データ駆動部430、ガンマ電圧生成部440、タイミング制御部450、スキャン信号検知パッド部460、データ出力検知パッド部470及び入力パッド部480と同一であるので、それに関する詳しい説明は省略する。

10

20

30

40

50

【0076】

一方、図15に示した一般的なCMOSバックプレーン400とは異なり、本実施形態による制御回路部を構成する回路510～580は、矩形に配置されたアクティブマトリクス回路部505の第1辺（即ち、左辺）及び第2辺（即ち、下辺）に隣接した領域にのみ配置されること。この場合、CMOSバックプレーン500は、回路510～580が配置された領域に対応するマイクロLEDパネル200上の共通電極（即ち、n電極）を共用できる。

【0077】

一例として、図面に示すように、スキャン駆動部510及びスキャン信号検知パッド部560は、アクティブマトリクス回路部505の左方の領域に隣接して配置される。より具体的には、アクティブマトリクス回路部505の左辺に隣接してスキャン駆動部510が配置され、その左方に隣接してスキャン信号検知パッド部560が配置される。

10

【0078】

第1及び第2データ駆動部520、530、ガンマ電圧生成部540、データ出力検知パッド部570、タイミング制御部550及び入力パッド部580は、アクティブマトリクス回路部505の下方の領域に隣接して配置される。より具体的には、アクティブマトリクス回路部505の下方に隣接してデータ出力検知パッド部570が配置され、その下方に隣接して第1及び第2データ駆動部520、530とガンマ電圧生成部540が配置され、更にその下方に隣接して入力パッド部580が配置される。また、タイミング制御部550は、データ出力検知パッド部570及び第1データ駆動部520の左方の隣接領域に配置される。

20

【0079】

一方、アクティブマトリクス回路部505の2辺に隣接して配置される回路510～580の配列形態及び細部位置は図面に示された回路配置に制限されず、顧客の要求事項又は製造会社の設計事項等に応じてその位置を変更できることは当業者に明らかなことである。

【0080】

このようなCMOSバックプレーン500上にマイクロLEDパネル200をフリップチップボンディングして第1タイプのマイクロLEDディスプレイ装置を形成する。この時、前記第1タイプのマイクロLEDディスプレイ装置は最大1.22インチまで製作可能である。

30

【0081】

図17は、本発明の他の実施形態によるCMOSバックプレーンの構造を説明する図である。

図17を参照すれば、本発明の他の実施形態によるCMOSバックプレーン（又は第2タイプのCMOSバックプレーン）600は、上述の図16示されに示されたマイクロLEDパネル200に対して図において左右鏡像対象なマイクロLEDパネル300（図示せず）と互いに対向するように配置され、入力画像信号に対応してマイクロLEDパネル300に備えられる複数のマイクロLEDピクセルを駆動する機能を果たす。

【0082】

40

CMOSバックプレーン600は、複数のマイクロLEDピクセルを個別的に駆動させるための複数のCMOSセルを備えるアクティブマトリクス回路部605と、アクティブマトリクス回路部605の外郭に配置される制御回路部610～680とを含む。

【0083】

アクティブマトリクス回路部605に備えられる複数のCMOSセルの各々は、バンプを介して対応するマイクロLEDピクセルに電気的に接続される。CMOSバックプレーン600は、マイクロLEDパネル300の第1導電型メタル層360（図示せず、マイクロLEDパネル200の第1導電型メタル層260とは、平面視で左右鏡像対称位置に配置されている）に対応する位置に形成された共通セル（図示せず）を含み、第1導電型メタル層360とCMOSバックプレーン600上の共通セル（図示せず）とはバンプを

50

介して電氣的に接続される。

【0084】

制御回路部は、スキャン駆動部610、第1データ駆動部620、第2データ駆動部630、ガンマ電圧生成部640、タイミング制御部650、スキャン信号検知パッド部660、データ出力検知パッド部670及び入力パッド部680等を含む。

【0085】

本実施形態において、前記制御回路部を構成するスキャン駆動部610、第1データ駆動部620、第2データ駆動部630、ガンマ電圧生成部640、タイミング制御部650、スキャン信号検知パッド部660、データ出力検知パッド部670及び入力パッド部680は、上述した図15のスキャン駆動部410、第1データ駆動部420、第2データ駆動部430、ガンマ電圧生成部440、タイミング制御部450、スキャン信号検知パッド部460、データ出力検知パッド部470及び入力パッド部480と同一であるので、それに関する詳しい説明は省略する。

10

【0086】

一方、図15に示した一般的なCMOSバックプレーン400とは異なり、本実施形態による制御回路部を構成する回路610～680は、アクティブマトリクス回路部605の第1辺（即ち、右辺）及び第2辺（即ち、下辺）に隣接した領域にのみ配置される。この場合、CMOSバックプレーン600は、回路610～680が配置された領域に対応するマイクロLEDパネル300上の共通電極（即ち、n電極）を共用できる。

【0087】

20

一例として、図17に示すように、スキャン駆動部610及びスキャン信号検知パッド部660は、アクティブマトリクス回路部605の右方の領域に隣接して配置される。より具体的には、アクティブマトリクス回路部605の右辺に隣接してスキャン駆動部610が配置され、その右辺に隣接してスキャン信号検知パッド部660が配置される。

【0088】

第1及び第2データ駆動部620、630、ガンマ電圧生成部640、データ出力検知パッド部670、タイミング制御部650及び入力パッド部680は、アクティブマトリクス回路部605の下方の領域に隣接して配置される。より具体的には、アクティブマトリクス回路部605の下方に隣接してデータ出力検知パッド部670が配置され、その下方に隣接に第1及び第2データ駆動部620、630とガンマ電圧生成部640が配置され、更にその下方に隣接して入力パッド部680が配置される。また、タイミング制御部650は、データ出力検知パッド部670及び第1データ駆動部620の右方の隣接領域に配置される。

30

【0089】

一方、アクティブマトリクス回路部605の2辺に隣接して配置される回路610～680の配列形態及び細部位置は図面に示された回路配置に制限されず、顧客の要求事項又は製造会社の設計事項等に応じてその位置を変更できることは当業者に明らかなことである。

【0090】

このようなCMOSバックプレーン600上にマイクロLEDパネル300をフリップチップボンディングして第2タイプのマイクロLEDディスプレイ装置を形成する。この時、前記第2タイプのマイクロLEDディスプレイ装置は最大1.22インチまで製作可能である。

40

【0091】

第1タイプのマイクロLEDディスプレイ装置と第2タイプのマイクロLEDディスプレイ装置は、同一の製造工程上で左/右位置だけ変更すれば良いので、別途の追加工程が不要であり、駆動ソフトウェアも上/下、左/右の対称オプションによって単一ソフトウェアの開発のみにより適用可能である。以下に、このような第1タイプのマイクロLEDディスプレイ装置と第2タイプのマイクロLEDディスプレイ装置を組み合わせることでディスプレイの大きさを拡張できることを示す。

50

【 0 0 9 2 】

図 1 8 は、本発明の一実施形態によるマイクロ L E D ディスプレイ装置を説明する図である。

図 1 8 を参照すれば、本発明の一実施形態によるマイクロ L E D ディスプレイ装置 1 0 0 0 は、マイクロ L E D パネル 2 0 0、第 1 タイプの C M O S バックプレーン 5 0 0 及びバンプ 1 0 1 0 を含む。この時、第 1 タイプの C M O S バックプレーン 5 0 0 は、アクティブマトリクス回路部 5 0 5 と、アクティブマトリクス回路部 5 0 5 の（平面視で）左辺及び下辺に隣接した領域に配置される制御回路部 5 1 0 ~ 5 8 0 とを含む。

【 0 0 9 3 】

マイクロ L E D パネル 2 0 0 は複数のマイクロ L E D ピクセル 2 8 0 を含み、C M O S バックプレーン 5 0 0 は複数のマイクロ L E D ピクセルの各々を個別的に駆動させるためにマイクロ L E D ピクセルの各々に対応する複数の C M O S セル 5 0 1 を含む。この時、マイクロ L E D パネル 2 0 0 のピクセル領域は C M O S バックプレーン 5 0 0 の A M（アクティブマトリクス）領域と対応する。

【 0 0 9 4 】

バンプ 1 0 1 0 は、マイクロ L E D ピクセル 2 8 0 と C M O S セル 5 0 1 が対向するように配置された状態（図 1 8（a））で、マイクロ L E D ピクセル 2 8 0 の各々とこれらの各々に対応する C M O S セル 5 0 1 とを電氣的に接続する（図 1 8（b））。

【 0 0 9 5 】

このようなマイクロ L E D ディスプレイ装置 1 0 0 0 の製造工程を簡単に見てみれば、まず、複数のバンプ 1 0 1 0 を C M O S バックプレーン 5 0 0 の C M O S セル 5 0 1 と共通セル 5 0 2 の上部に配置する（図 1 8（a））。そして、複数のバンプ 1 0 1 0 が配置された状態の C M O S バックプレーン 5 0 0 とマイクロ L E D パネル 2 0 0 を互いに対向するようにして C M O S セル 5 0 1 とマイクロ L E D ピクセル 2 8 0 を一対一対応させて密着させた後に加熱する。そうすると、複数のバンプ 1 0 1 0 が一旦、溶解し、それにより、C M O S セル 5 0 1 とそれに対応するマイクロ L E D ピクセル 2 8 0 が電氣的に接続され、且つ、共通セル 5 0 2 とそれに対応するマイクロ L E D パネル 2 0 0 の共通電極 2 6 0 が電氣的に接続される状態となる（図 1 8（b））。

【 0 0 9 6 】

一方、本実施形態においては、図 8 のマイクロ L E D パネル 2 0 0 がマイクロ L E D ディスプレイ装置 1 0 0 0 に用いられることを例示しているが、これに制限されず、上述した図 1 のマイクロ L E D パネル 1 0 0 がマイクロ L E D ディスプレイ装置 1 0 0 0 に用いられてもよいことは当業者に明らかなことである。

【 0 0 9 7 】

図 1 9 は、本発明の他の実施形態によるマイクロ L E D ディスプレイ装置を説明する図である。

図 1 9 を参照すれば、本発明の他の実施形態によるマイクロ L E D ディスプレイ装置 1 1 0 0 は、マイクロ L E D パネル 3 0 0、第 2 タイプの C M O S バックプレーン 6 0 0 及びバンプ 1 1 1 0 を含む。この時、第 2 タイプの C M O S バックプレーン 6 0 0 は、アクティブマトリクス回路部 6 0 5 と、アクティブマトリクス回路部 6 0 5 の右辺及び下辺に隣接した領域に配置される制御回路部 6 1 0 ~ 6 8 0 とを含む。

【 0 0 9 8 】

マイクロ L E D パネル 3 0 0 は複数のマイクロ L E D ピクセル 3 8 0 を含み、C M O S バックプレーン 6 0 0 は複数のマイクロ L E D ピクセルの各々を個別的に駆動させるためにマイクロ L E D ピクセルの各々に対応する複数の C M O S セル 6 0 1 を含む。そして、バンプ 1 1 1 0 は、マイクロ L E D ピクセル 3 8 0 と C M O S セル 6 0 1 が対向するように配置された状態（図 1 9（a））で、マイクロ L E D ピクセル 2 8 0 の各々とこれらの各々に対応する C M O S セル 6 0 1 とを電氣的に接続する（図 1 9（b））。

【 0 0 9 9 】

このようなマイクロ L E D ディスプレイ装置 1 1 0 0 の製造工程を簡単に見てみれば、

10

20

30

40

50

まず、複数のバンブ 1 1 1 0 を C M O S バックプレーン 6 0 0 の C M O S セル 6 0 1 と共通セル 6 0 2 の上部に配置する。そして、複数のバンブ 1 1 1 0 が配置された状態の C M O S バックプレーン 6 0 0 とマイクロ L E D パネル 2 0 0 を互いに対向するようにして C M O S セル 6 0 1 とマイクロ L E D ピクセル 2 8 0 を一対一対応させて密着させた後に加熱する。そうすると、複数のバンブ 1 1 1 0 が一旦、溶解し、それにより、C M O S セル 6 0 1 とそれに対応するマイクロ L E D ピクセル 2 8 0 が電氣的に接続され、共通セル 6 0 2 とそれに対応するマイクロ L E D パネル 2 0 0 の共通電極 2 6 0 が電氣的に接続される状態となる。

【 0 1 0 0 】

同様に、本実施形態においては、マイクロ L E D パネル 3 0 0 がマイクロ L E D ディスプレイ装置 1 1 0 0 に用いられることを例示しているが、これに制限されず、例えば上述した図 1 のマイクロ L E D パネル 1 0 0 がマイクロ L E D ディスプレイ装置 1 1 0 0 に用いてもよいことは当業者に明らかなことである。

【 0 1 0 1 】

図 2 0 は、ディスプレイ大きさを水平方向に 2 倍拡張したマイクロ L E D ディスプレイ装置を説明する図である。

図 2 0 を参照すれば、第 1 タイプのマイクロ L E D ディスプレイ装置 1 0 0 0 と第 2 タイプのマイクロ L E D ディスプレイ装置 1 1 0 0 を平面視で互いに横方向（即ち、水平方向）に配置してディスプレイの大きさを 2 倍に拡張したマイクロ L E D ディスプレイ装置 1 0 を実現する。

【 0 1 0 2 】

拡張されたマイクロ L E D ディスプレイ装置 1 0 は、第 1 タイプのマイクロ L E D ディスプレイ装置 1 0 0 0 の第 1 表示領域（又は第 1 表示パネル）と第 2 タイプのマイクロ L E D ディスプレイ装置 1 1 0 0 の第 2 表示領域（又は第 2 表示パネル）とを互いに対向するように構成してなる。この時、第 1 表示領域と第 2 表示領域との間の間隔を最小化するように構成する。

【 0 1 0 3 】

一例として、第 1 表示領域と第 2 表示領域との間の間隔（又は、距離、 d ）は下記一般式 1 によって決定される。

[数 1]

$$d = 40 + 2\alpha + \beta \quad (\text{一般式 1})$$

【 0 1 0 4 】

ここで、 40 (mm) は第 1 C M O S バックプレーンの端領域の幅 (20 mm) と第 2 C M O S バックプレーンの端領域の幅 (20 mm) を合算した値であり、 α (mm) はソーイング (Sawing、チップ化切断) 誤差であり、 β (mm) はモジュール組み立てマージンである。

【 0 1 0 5 】

図 8 及び図 9 に示すように、第 1 表示領域と第 2 表示領域との間の連結部分に共通電極（即ち、 n 電極）が形成されていない場合、第 1 表示領域の端ピクセルと第 2 表示領域の端ピクセルとの間の間隔がピクセルピッチ (pixel pitch) に対応するように構成される。前記ピクセルとピクセルとの間の間隔 (gap) がピクセルピッチより大きい場合、光学系を用いて人間の視覚で認知できない数 μm の大きさにギャップを最小化できる。

【 0 1 0 6 】

一方、図 1 及び図 2 に示すように、第 1 表示領域と第 2 表示領域との間の連結部分に共通電極（即ち、 n 電極）が形成されている場合、前記共通電極を除いた連結部分の間隔 (gap) がピクセルピッチに対応するように構成される。同様に、前記連結部分の間隔 (gap) がピクセルピッチより大きい場合、光学系を用いて人間の視覚で認知できない数 μm の大きさにギャップを最小化できる。

【0107】

このように、第1タイプのマイクロLEDディスプレイ装置1000と第2タイプのマイクロLEDディスプレイ装置1100とを水平方向に結合してディスプレイの大きさを2倍に拡張できる。

【0108】

図21は、ディスプレイ大きさを平面視で互いに縦方向（即ち、垂直方向）に2倍拡張したマイクロLEDディスプレイ装置を説明する図である。

図21を参照すれば、第1タイプのマイクロLEDディスプレイ装置1000と第2タイプのマイクロLEDディスプレイ装置1100を平面視で縦方向（即ち、垂直方向）に配置してディスプレイ大きさを2倍に拡張したマイクロLEDディスプレイ装置20を実現する。

10

【0109】

拡張されたマイクロLEDディスプレイ装置20は、第1タイプのマイクロLEDディスプレイ装置1000の第1表示領域と第2タイプのマイクロLEDディスプレイ装置1100の第2表示領域が互いに対向するように構成してなる。この時、第1表示領域と第2表示領域との間の間隔を最小化するように構成する。一例として、第1表示領域と第2表示領域との間の間隔（ d ）は前記一般式1によって決定される。

【0110】

図8及び図9に示すように、第1表示領域と第2表示領域との間の連結部分に共通電極（即ち、 n 電極）が形成されていない場合、第1表示領域の端ピクセルと第2表示領域の端ピクセルとの間の間隔がピクセルピッチに対応するように構成される。一方、図1及び図2に示すように、第1表示領域と第2表示領域との間の連結部分に共通電極（即ち、 n 電極）が形成されている場合、前記共通電極を除いた連結部分の間隔（ gap ）がピクセルピッチに対応するように構成される。

20

【0111】

このように、第1タイプのマイクロLEDディスプレイ装置1000と第2タイプのマイクロLEDディスプレイ装置1100を垂直方向に結合してディスプレイの大きさを2倍に拡張できる。

【0112】

図22は、ディスプレイの大きさを4倍に拡張したマイクロLEDディスプレイ装置を説明する図である。

30

図22を参照すれば、2個の第1タイプのマイクロLEDディスプレイ装置1000と2個の第2タイプのマイクロLEDディスプレイ装置1100をマトリクス状に配列してディスプレイの大きさを4倍に拡張したマイクロLEDディスプレイ装置30を実現する。

【0113】

前記マトリクス配列構造において、第1タイプのマイクロLEDディスプレイ装置1000は拡張されたマイクロLEDディスプレイ装置30の第1対角線方向に位置し、第2タイプのマイクロLEDディスプレイ装置1100は拡張されたマイクロLEDディスプレイ装置30の第2対角線方向に位置することができる。

40

【0114】

第1対角線方向に位置する第1タイプのマイクロLEDディスプレイ装置1000の何れか一つは、同一タイプの他のマイクロLEDディスプレイ装置1000を180度回転して配置されることができる。また、第2対角線方向に位置する第2タイプのマイクロLEDディスプレイ装置1100の何れか一つは、同一タイプの他のマイクロLEDディスプレイ装置1100を180度回転して配置されることができる。

【0115】

拡張されたマイクロLEDモジュール30は、第1タイプのマイクロLEDモジュール1000の第1表示領域と第2タイプのマイクロLEDモジュール1100の第2表示領域が互いに対向するように構成されることができる。この時、第1表示領域と第2表示領

50

域との間の間隔が最小化するように構成されることができる。一例として、第1表示領域と第2表示領域との間の間隔(d)は一般式1によって決定される。

【0116】

図8及び図9に示すように、第1表示領域と第2表示領域との間の連結部分に共通電極(即ち、n電極)が形成されていない場合、第1表示領域の端ピクセルと第2表示領域の端ピクセルとの間の間隔(gap)がピクセルピッチに対応するように構成される。一方、図1及び図2に示すように、第1表示領域と第2表示領域との間の連結部分に共通電極(即ち、n電極)が形成された場合、前記共通電極を除いた連結部分の間隔(gap)がピクセルピッチに対応するように構成される。

【0117】

このように、第1タイプのマイクロLEDディスプレイ装置1000と第2タイプのマイクロLEDディスプレイ装置1100の方向転換及び組み合わせを通じてディスプレイの大きさを4倍に拡張できる。

【0118】

以上では本発明の具体的な実施形態について説明したが、本発明の範囲から逸脱しない範囲内で種々の変形が可能であることは勿論である。よって、本発明の範囲は説明された実施形態に限定されず、後述する特許請求の範囲だけでなく、該特許請求の範囲と均等なものによって定めなければならない。

【符号の説明】

【0119】

10, 20, 30 ……マイクロLEDディスプレイ装置
 100, 200 ……マイクロLEDパネル、マイクロLEDアレイ
 110, 210 ……成長基板
 120, 220 ……第1導電型半導体層
 130, 230 ……活性層
 140, 240 ……第2導電型半導体層
 150, 250, 350 ……第2導電型メタル層
 160, 260, 360 ……第1導電型メタル層
 170, 270 ……パッシベーション層
 180, 280, 380 ……マイクロLEDピクセル
 400, 500, 600 ……CMOSバックプレーン
 401, 501, 601 ……CMOSセル
 405, 505, 605 ……アクティブマトリクス(Active Matrix)
)回路部
 410, 510, 610 ……スキャン駆動部
 420, 520, 620 ……第1データ駆動部
 430, 530, 630 ……第2データ駆動部
 440, 540, 640 ……ガンマ電圧生成部
 450, 550, 650 ……タイミング制御部
 460, 560, 660 ……スキャン信号検知パッド部
 470, 570, 670 ……データ出力検知パッド部
 480, 580, 680 ……入力パッド部
 1000, 1100 ……マイクロLEDディスプレイ装置
 1010, 1110 ……パンプ

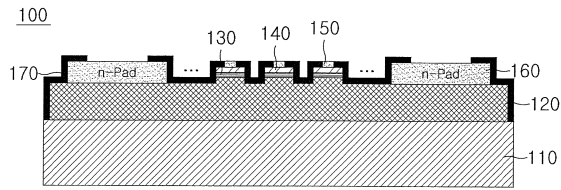
10

20

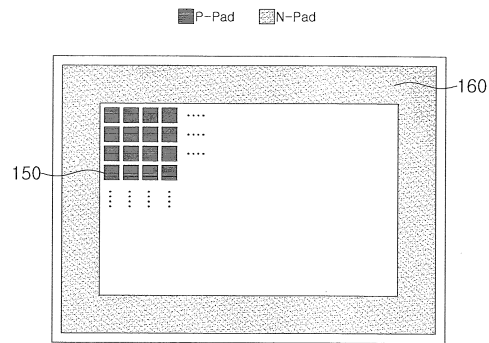
30

40

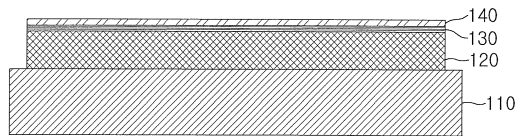
【図 1】



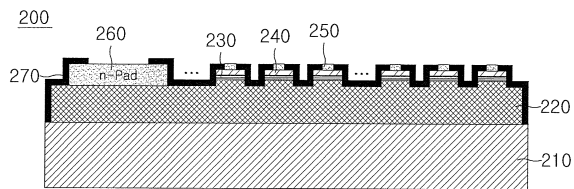
【図 2】



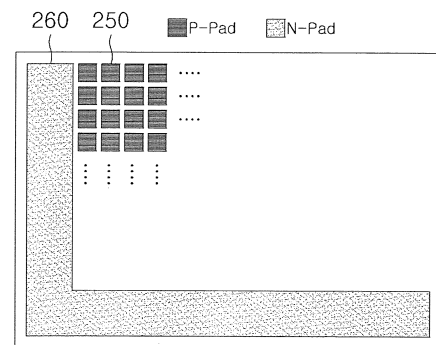
【図 3】



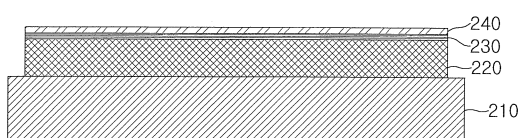
【図 8】



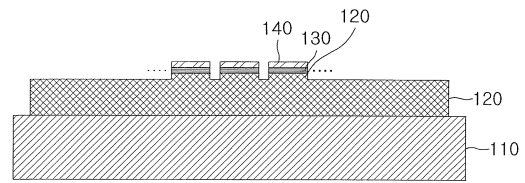
【図 9】



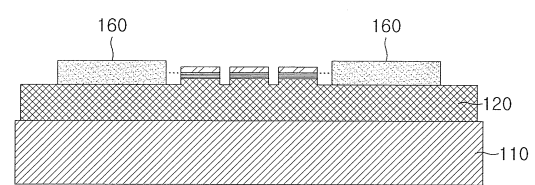
【図 10】



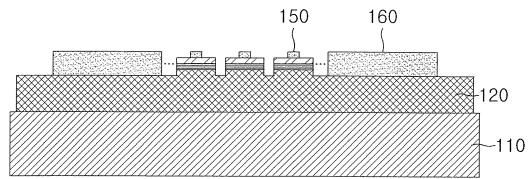
【図 4】



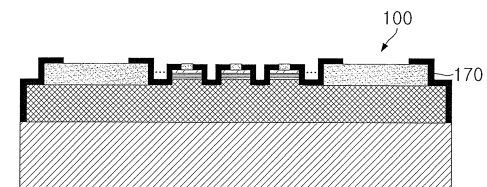
【図 5】



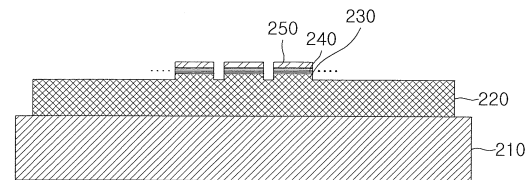
【図 6】



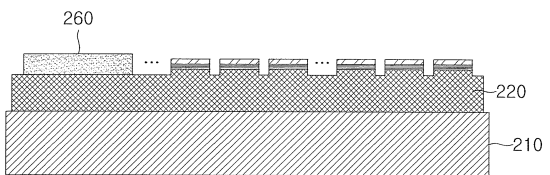
【図 7】



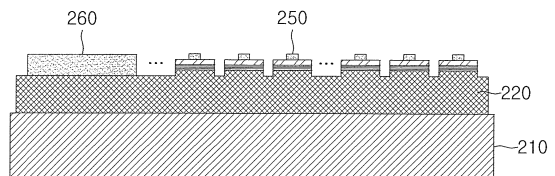
【図 11】



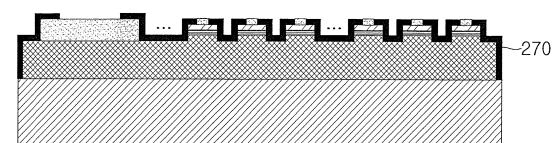
【図 12】



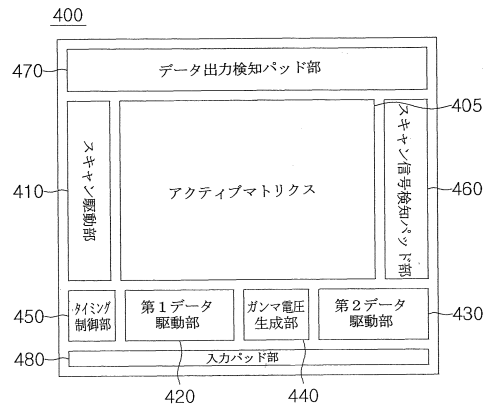
【図 13】



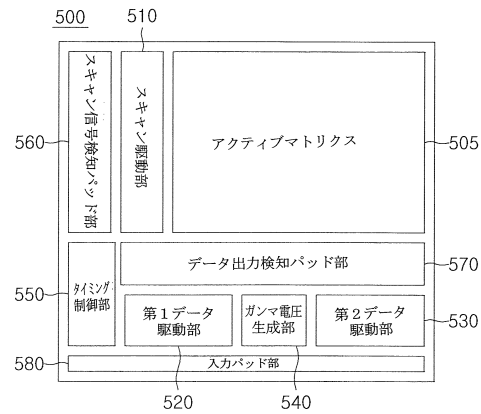
【図 14】



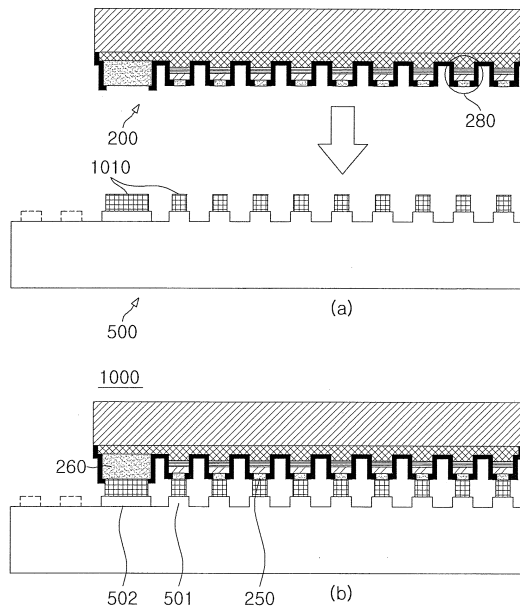
【図 15】



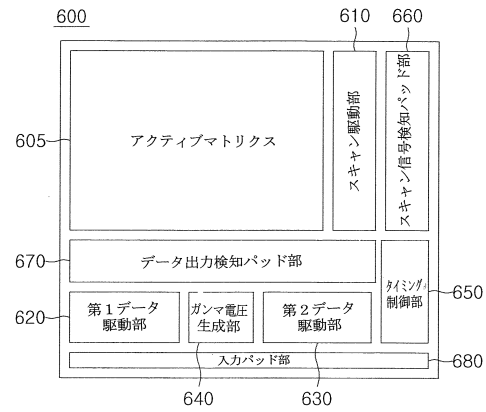
【図 16】



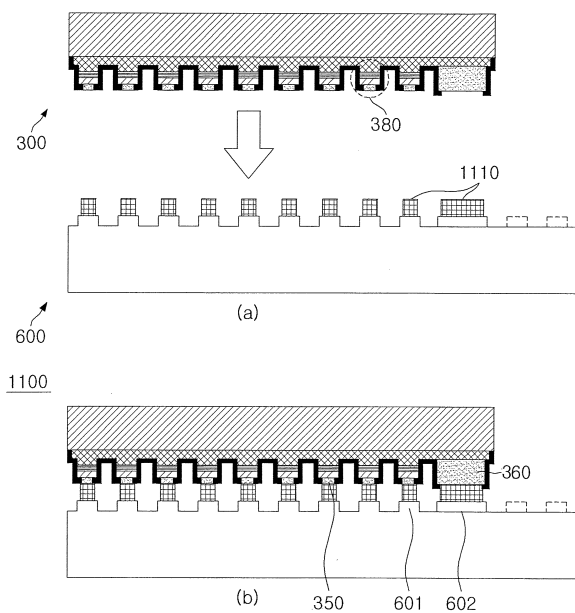
【図 18】



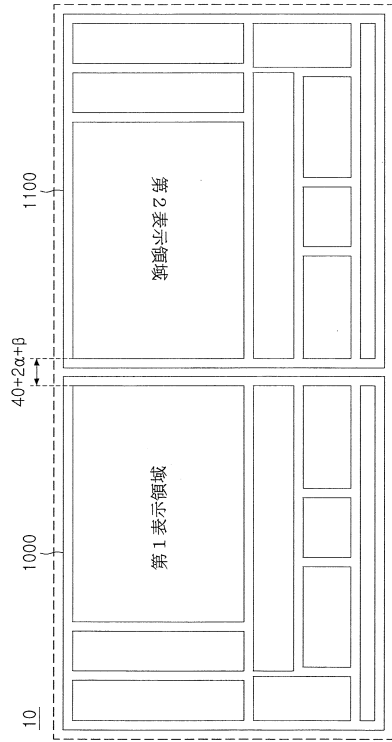
【図 17】



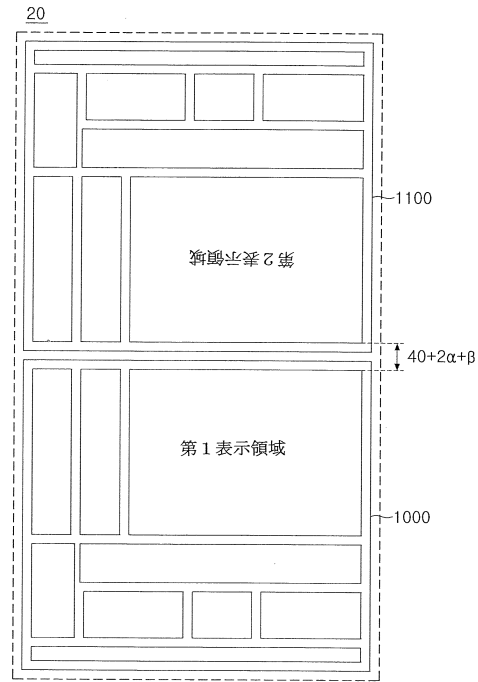
【図 19】



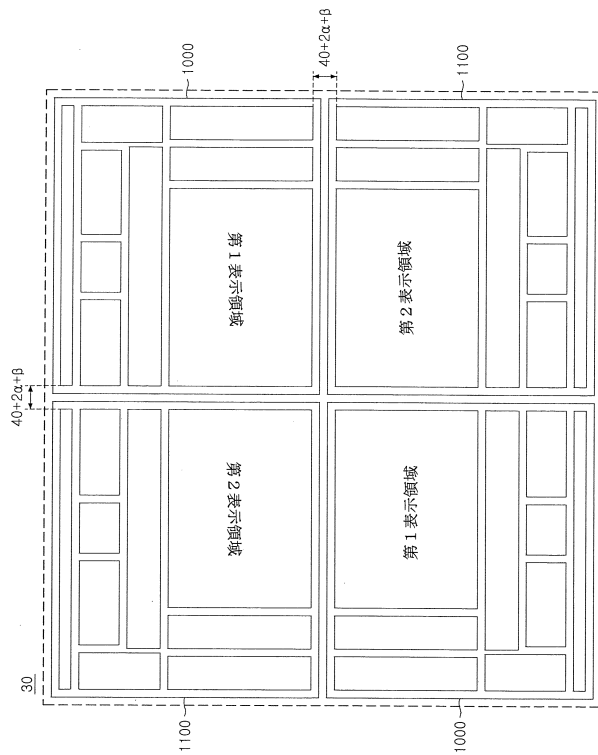
【図 20】



【図 21】



【図 22】



フロントページの続き

(51)Int.Cl. F I
 G 0 9 F 9/30 3 3 8
 H 0 1 L 33/00 L

(72)発明者 キム, ヨンビル
 大韓民国 1 7 0 8 6 京畿道 龍仁市 器興区 ウォンゴメ - 口 1 2
 (72)発明者 ムーン, ミョンジ
 大韓民国 1 7 0 8 6 京畿道 龍仁市 器興区 ウォンゴメ - 口 1 2
 (72)発明者 チャン, ハンビート
 大韓民国 1 7 0 8 6 京畿道 龍仁市 器興区 ウォンゴメ - 口 1 2
 (72)発明者 パク, ジェスーン
 大韓民国 1 7 0 8 6 京畿道 龍仁市 器興区 ウォンゴメ - 口 1 2

審査官 村川 雄一

(56)参考文献 特開2017-009725(JP, A)
 特開2008-262993(JP, A)
 特開2003-031858(JP, A)
 米国特許出願公開第2018/0166615(US, A1)
 米国特許第06455878(US, B1)
 特開2009-238964(JP, A)
 特開2002-108253(JP, A)
 特表2011-527519(JP, A)
 米国特許出願公開第2011/0254034(US, A1)
 特開2002-297064(JP, A)
 特開2001-176668(JP, A)
 特開2001-242831(JP, A)
 米国特許出願公開第2009/0073079(US, A1)
 米国特許出願公開第2013/0100181(US, A1)
 中国特許出願公開第106157821(CN, A)
 中国実用新案第205863169(CN, U)

(58)調査した分野(Int.Cl., DB名)
 G 0 9 F 9 / 0 0 - 9 / 4 6
 H 0 1 L 3 3 / 0 0 - 3 3 / 6 4
 G 0 9 G 3 / 1 4
 G 0 9 G 3 / 2 0

专利名称(译)	微型LED显示装置		
公开(公告)号	JP6636084B2	公开(公告)日	2020-01-29
申请号	JP2018095661	申请日	2018-05-17
申请(专利权)人(译)	流明有限公司		
当前申请(专利权)人(译)	流明有限公司		
[标]发明人	シンウンソン チョドンヒー キムヨンピル ムーンミヨンジ チャンハンビート パクジェスーン		
发明人	シン, ウンソン チョ, ドンヒー キム, ヨンピル ムーン, ミヨンジ チャン, ハンビート パク, ジェスーン		
IPC分类号	G09F9/33 G09G3/14 G09G3/20 G09F9/30 H01L33/00		
CPC分类号	H01L24/16 H01L25/167 H01L27/156 H01L2224/16148 H01L2924/12041 H01L2924/1426 H01L25/162 H01L25/18 H01L27/1214		
FI分类号	G09F9/33 G09G3/14 G09G3/20.680.G G09G3/20.680.H G09G3/20.624.C G09F9/30.338 H01L33/00.L		
F-TERM分类号	5C080/AA07 5C080/BB05 5C080/CC07 5C080/EE29 5C080/FF11 5C080/JJ06 5C094/AA14 5C094/BA23 5C094/CA19 5C094/DA01 5C094/DA09 5C094/DA11 5C094/DB02 5C094/EA02 5C094/EA07 5C094/FA01 5C094/FA02 5C094/FB12 5C094/GA10 5C094/JA08 5C380/AA03 5C380/AB06 5C380/AB19 5C380/AB45 5C380/AC04 5C380/BA21 5C380/CE05 5C380/CE19 5C380/DA02 5F142/AA02 5F142/BA32 5F142/CA11 5F142/CB18 5F142/CB23 5F142/DB24 5F142/GA02		
优先权	1020170052792 2017-04-25 KR		
其他公开文献	JP2018185515A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种能够实现具有各种尺寸的显示器的拼图型微发光二极管 (LED) 显示装置, 该微LED显示装置包括: 布置有多个微LED像素的微LED面板。行和列; 微型LED驱动基板 (底板), 其被配置为包括有源矩阵 (AM) 电路单元, 所述有源矩阵电路单元包括与所述多个微型LED像素相对应的多个CMOS单元; 以及控制电路单元, 其布置在所述AM电路单元的外部区域中, 其中控制电路单元被布置为与微型LED面板的四个侧面中的两个侧面相邻。

(51) Int. Cl.			F 1		
G 0 9 F	9/33	(2006. 01)	G 0 9 F	9/33	
G 0 9 G	3/14	(2006. 01)	G 0 9 G	3/14	
G 0 9 G	3/20	(2006. 01)	G 0 9 G	3/20	6 8 0 G
G 0 9 F	9/30	(2006. 01)	G 0 9 G	3/20	6 8 0 H
H 0 1 L	33/00	(2010. 01)	G 0 9 G	3/20	6 2 4 C
			請求項の数 17 (全 23 頁) 最終頁に続く		
(21) 出願番号	特願2018-95661 (P2018-95661)		(73) 特許権者	514121240	
(22) 出願日	平成30年5月17日 (2018. 5. 17)		ルーメンス カンパニー リミテッド		
(62) 分割の表示	特願2017-194601 (P2017-194601)		大韓民国 4 4 9 - 9 0 1 キョンギ道		
	の分割		ヨンイン市 キヘン区 ウォンゴメーロ		
原出願日	平成29年10月4日 (2017. 10. 4)		1 2		
(65) 公開番号	特開2018-185515 (P2018-185515A)		(74) 代理人	110000051	
(43) 公開日	平成30年11月22日 (2018. 11. 22)		特許業務法人共生国際特許事務所		
審査請求日	平成30年5月17日 (2018. 5. 17)		(72) 発明者	シン, ウンソン	
(31) 優先権主張番号	10-2017-0052792		大韓民国 1 7 0 8 6 京畿道 龍仁市		
(32) 優先日	平成29年4月25日 (2017. 4. 25)		器興区 ウォンゴメーロ 1 2		
(33) 優先権主張国・地域又は機関	韓国 (KR)		(72) 発明者	チョ, ドンヒー	
			大韓民国 1 7 0 8 6 京畿道 龍仁市		
			器興区 ウォンゴメーロ 1 2		
			最終頁に続く		
(54) 【発明の名称】 マイクロLEDディスプレイ装置					